

CLIPPEDIMAGE= JP410269075A

PAT-NO: JP410269075A

DOCUMENT-IDENTIFIER: JP 10269075 A

TITLE: METHOD FOR UPDATING OPERATION CONTROL INFORMATION,
AND DATA PROCESSOR
USING THE SAME

PUBN-DATE: October 9, 1998

INVENTOR-INFORMATION:

NAME

KOISHIKAWA, YOSHINORI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP09069607

APPL-DATE: March 24, 1997

INT-CL (IPC): G06F009/06

ABSTRACT:

PROBLEM TO BE SOLVED: To correctly update an information
for controlling
operation without stopping the operation.

SOLUTION: The firmware of flash memory 40 of this data
processor 10 is supplied
to the area (a) of a static RAM 50 and a CPU 20 is operated
by using the
firmware of the area (a). During the operation, a new
firmware is supplied
from an information generator 100 to the area (b) of the
RAM 50. After
performing error detection and detecting that the firmware
is correct, the new
firmware is supplied to the memory 40 by utilizing the free
time of the
operation of the CPU 20 and the firmware of the memory 40
is updated. It is

confirmed that updating is correct by collating the firmwares of the memory 40 and the area (b) of the RAM 50. The firmware is correctly updated without stopping the operation of the processor 10, and at the time of reactivating the processor 10, the operation is performed based on the new firmware.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-269075

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁹
G 0 6 F 9/06

識別記号
5 4 0

F I
G 0 6 F 9/06

5 4 0 Q

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平9-69607

(22) 出願日 平成9年(1997)3月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小石川 欣則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外1名)

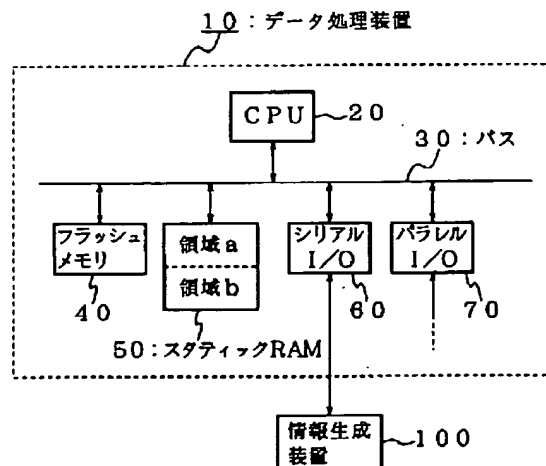
(54) 【発明の名称】 動作制御情報の更新方法およびそれを用いたデータ処理装置

(57) 【要約】

【課題】動作を停止させることなく動作を制御するための情報を正しく更新する。

【解決手段】データ処理装置10のフラッシュメモリ40のファームウェアをスタティックRAM50の領域aに供給し、この領域aのファームウェアを用いてCPU20が動作する。動作中に情報生成装置100から新たなファームウェアをRAM50の領域bに供給する。誤り検出を行いファームウェアが正しいことを検出してから、CPU20の動作の空き時間を利用して新たなファームウェアをメモリ40に供給して、メモリ40のファームウェアを更新する。メモリ40とRAM50の領域bのファームウェアを照合して更新が正しいことを確認する。装置10の動作を停止させることなくファームウェアを正しく更新することができ、装置10を再起動させたときには、新たなファームウェアに基づいて動作させることができる。

データ処理装置の構成



【特許請求の範囲】

【請求項1】 内容の書き換えが可能な読み出し専用の第1のメモリ手段に記憶された動作制御情報が、読み出しと書き込みが可能な第2のメモリ手段の第1の領域に供給されて、上記第2のメモリ手段の第1の領域に記憶された動作制御情報に基づいて動作が行われている期間中に、

上記第2のメモリ手段の第2の領域に新たな動作制御情報を供給するものとし、

上記第2のメモリ手段の第2の領域に記憶された新たな動作制御情報を用いて上記第1のメモリ手段に記憶されている動作制御情報の更新を行うことを特徴とする動作制御情報の更新方法。

【請求項2】 上記第2のメモリ手段の第2の領域に新たな動作制御情報が供給されたときには、上記新たな動作制御情報が正しいか否かを判別するものとし、

上記第2のメモリ手段の第2の領域に記憶された新たな動作制御情報が正しいと判別されたときに、この動作制御情報を用いて上記第1のメモリ手段に記憶されている動作制御情報の更新を行うことを特徴とする請求項1記載の動作制御情報の更新方法。

【請求項3】 上記第1のメモリ手段に記憶されている動作制御情報が更新されたときには、この更新された動作制御情報と上記第2のメモリ手段の第2の領域に記憶されている新たな動作制御情報とを照合して、動作制御情報が正しく更新されたことを確認することを特徴とする請求項1記載の動作制御情報の更新方法。

【請求項4】 動作制御情報を記憶すると共に、この動作制御情報の書き換えることが可能な読み出し専用の第1のメモリ手段と、

上記第1のメモリ手段の動作制御情報を記憶する第1の領域と新たな動作制御情報を記憶する第2の領域を備えた読み出しと書き込みが可能な第2のメモリ手段と、

上記第2のメモリの第1の領域に記憶された動作制御情報に基づいてデータ処理動作を制御する制御手段とを有し、

動作開始時には、上記第1のメモリ手段に記憶された動作制御情報を上記第2のメモリ手段の第1の領域に供給し、上記第2のメモリの第1の領域に記憶された動作制御情報に基づいて上記制御手段でデータ処理動作を開始するものとし、

動作期間中に、新たな動作制御情報を上記第2のメモリ手段の第2の領域に供給し、上記第2のメモリ手段の第2の領域に記憶された新たな動作制御情報を用いて上記第1のメモリ手段の動作制御情報を更新することを特徴とするデータ処理装置。

【請求項5】 上記第1のメモリ手段の動作制御情報の更新は、上記制御手段の空き時間を利用して行うことを特徴とする請求項4記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、動作制御情報の更新方法およびそれを用いたデータ処理装置に関する。詳しくは、動作開始時に、第1のメモリ手段に記憶された動作制御情報を第2のメモリ手段の第1の領域に供給して、この第2のメモリの第1の領域に記憶された動作制御情報に基づいて動作を行い、動作期間中に新たな動作制御情報を第2のメモリ手段の第2の領域に供給して、この第2のメモリ手段の第2の領域に記憶された新たな動作制御情報を用いて第1のメモリ手段の動作制御情報を更新することにより、データ処理装置の動作を停止しなくとも第1のメモリ手段に記憶されている動作制御情報の更新を行うことができるものである。

【0002】

【従来の技術】従来、映像データや音声データあるいはコンピュータデータ等の各種のデータを処理するデータ処理装置では、データ処理装置の動作制御情報であるファームウェアが予め書き換え可能な読み出し専用メモリ等に記憶されている。このデータ処理装置では、動作開始時に書き換え可能な読み出し専用メモリから、アクセス時間の短い例えばスタティックRAM(Random Access Memory)にファームウェアが転送されて、スタティックRAMに記憶されているファームウェアを利用して高速に各種のデータ処理が行われている。

【0003】

【発明が解決しようとする課題】ところで、このファームウェアは、データ処理の効率化や不具合点の改善等のために必要に応じて更新されるものである。ここで、ファームウェアを更新する場合には、スタティックRAMに新たなファームウェアを全て転送するものとし、このスタティックRAMに蓄えられたファームウェアで書き換え可能な読み出し専用メモリ等へ書き込まれているファームウェアをまとめて更新する方法が取られる場合がある。

【0004】この方法では、スタティックRAMに新たなファームウェアを転送させるためのソフトウェアを、例えば書き換え可能な読み出し専用メモリ等に記憶させておき、このソフトウェアに基づいて処理を行わなければならない。また、スタティックRAMに新たなファームウェアを転送している期間中は、データ処理装置の動作を停止させなければならない。

【0005】さらに、書き換え可能な読み出し専用メモリでは、この書き換え可能な読み出し専用メモリに記憶されているソフトウェアで、記憶されているファームウェアを更新することはできないので、スタティックRAMに書き換え可能な読み出し専用メモリに記憶されているファームウェアを更新するためのソフトウェアを書き換え可能な読み出し専用メモリに転送して、このスタティックRAMに記憶されたソフトウェアに基づいて読み出し専用メモリに記憶されているファームウェアの更新

が行われるので、更新手順が複雑となってしまう。

【0006】また、スタティックRAMを経由することなく書き換え可能な読み出し専用メモリのファームウェアを直接更新する方法では、例えば通信回線を介して新たなファームウェアが供給されたときに、通信エラー等によってファームウェアに誤りを生じても、誤りを生じたファームウェアで書き換え可能な読み出し専用メモリのファームウェアが更新されてしまう。

【0007】そこで、この発明では、データ処理装置の動作を停止させなくとも、このデータ処理装置の動作を制御するための情報を正しく更新することができる動作制御情報の更新方法およびそれを用いたデータ処理装置を提供するものである。

【0008】

【課題を解決するための手段】この発明に係る動作制御情報の更新方法は、内容の書き換えが可能な読み出し専用の第1のメモリ手段に記憶された動作制御情報が、読み出しと書き込みが可能な第2のメモリ手段の第1の領域に供給されて、第2のメモリ手段の第1の領域に記憶された動作制御情報に基づいて動作が行われている期間中に、第2のメモリ手段の第2の領域に新たな動作制御情報を供給するものとし、第2のメモリ手段の第2の領域に記憶された新たな動作制御情報を用いて第1のメモリ手段に記憶されている動作制御情報の更新を行うものである。

【0009】また、この発明に係るデータ処理装置は、動作制御情報を記憶すると共に、この動作制御情報の書き換えることが可能な読み出し専用の第1のメモリ手段と、第1のメモリ手段の動作制御情報を記憶する第1の領域と新たな動作制御情報を記憶する第2の領域を備えた読み出しと書き込みが可能な第2のメモリ手段と、第2のメモリの第1の領域に記憶された動作制御情報に基づいてデータ処理動作を制御する制御手段とを有し、動作開始時には、第1のメモリ手段に記憶された動作制御情報を第2のメモリ手段の第1の領域に供給し、第2のメモリの第1の領域に記憶された動作制御情報に基づいて制御手段でデータ処理動作を開始するものとし、動作期間中に、新たな動作制御情報を第2のメモリ手段の第2の領域に供給し、第2のメモリ手段の第2の領域に記憶された新たな動作制御情報を用いて第1のメモリ手段の動作制御情報を更新するものである。

【0010】この発明においては、第1のメモリ手段に記憶された動作制御情報が第2のメモリ手段の第1の領域に供給されて、この第2のメモリの第1の領域に記憶された動作制御情報に基づいて動作が行われる。この動作期間中に新たな動作制御情報が第2のメモリ手段の第2の領域に供給される。ここで、第2のメモリ手段の第2の領域に記憶された新たな動作制御情報が正しいと判別されたときには、この動作制御情報を用いて例えば制御手段の空き時間を利用して第1のメモリ手段に記憶さ

れている動作制御情報の更新が行われる。また、更新された動作制御情報と第2のメモリ手段の第2の領域に記憶されている新たな動作制御情報が照合されて更新が正しく行われたことが確認される。

【0011】

【発明の実施の形態】次に、この発明に係るデータ更新方法およびそれを用いたデータ処理装置について図を用いて詳細に説明する。

【0012】図1はデータ処理装置の実施の一形態の構成を示している。このデータ処理装置10は、例えば映像データや音声データの圧縮伸張処理あるいはコンピュータデータの処理やアプリケーションプログラムデータの実行等の種々のデータ処理を行うものである。なお、図1においては、データ処理装置10の動作の制御に関する部分のみを示すものとし、圧縮伸張処理等に関する部分は省略している。

【0013】データ処理装置10にはCPU(Central Processing Unit)20が設けられており、このCPU20によってデータ処理装置10のデータ処理動作が制御される。CPU20には、バス(アドレスバスやデータバスおよびコントロールバス)30を介して第1のメモリ手段である書き換え可能な読み出し専用メモリ、例えばフラッシュメモリ40が接続されており、フラッシュメモリ40にはデータ処理装置10の動作制御情報であるファームウェアが予め記憶されている。

【0014】また、バス30には第2のメモリ手段であるスタティックRAM50が接続されている。このスタティックRAM50の容量はフラッシュメモリ40の容量よりも大きな容量、例えばスタティックRAM50の2倍の容量とされている。なお、スタティックRAM50はフラッシュメモリ40よりもアクセス時間が短いものである。

【0015】さらに、バス30にはシリアルI/O60やパラレルI/O70が接続されており、例えばシリアルI/O60を介してこのデータ処理装置10に情報生成装置100等が接続される。

【0016】次に、データ処理装置10の動作について説明する。CPU20での動作の制御はフラッシュメモリ40に記憶されているファームウェアに基づいて行われる。

【0017】ここで、データ処理装置10に電源が供給されると、CPU20ではフラッシュメモリ40にアクセスして起動処理が開始されて、フラッシュメモリ40のファームウェアがすべてスタティックRAM50の第1の領域である領域aにコピーされる。その後、CPU20はスタティックRAM50にコピーされたファームウェアに基づいてデータ処理動作の制御が行われる。

【0018】このように、ファームウェアがフラッシュメモリ40よりもアクセス時間の短いスタティックRAM50にコピーされるため、CPU20はスタティック

RAM50に対してアクセスすることにより、データ処理を高速に行うことができる。なお、スタティックRAM50の第2の領域である領域bは通常動作には影響しないLOG等のデータが記憶される。

【0019】ここで、ファームウェアを更新する際には、例えば図2に示すような方法でファームウェアの更新が行われる。なお、新たなファームウェアはシリアルI/O60に接続された情報生成装置100から供給されるものとする。

【0020】図2において、ステップST1では、データ処理装置10と情報生成装置100とで通信が可能なようにそれぞれの装置の動作が設定されてステップST2に進む。

【0021】ステップST2では、情報生成装置100からシリアルI/O60およびバス30を介して新たなファームウェアがスタティックRAM50の領域bに転送される。なお、領域bに記憶されていたLOG等のデータは、通常動作には影響しないデータであることから、これらのデータが失われてもデータ処理動作には何ら影響を及ぼすものではない。

【0022】この新たなファームウェアの転送が完了したときにはステップST3に進み新たなファームウェアの転送が正しく行われたか否かを確認するために誤り検出処理が行われる。この誤り検出処理では、例えば一定の長さのデータ列を足し合わせて求めた総和を付加して送信し、送信された総和と受信側で求めた総和を比較して誤りを検出するチェックサム方法や、チェック符号を付加して送信し、受信側でチェック符号とデータの関係が正しいか否かによって誤りを検出するCRC(Cyclic Redundancy Check)方式等が用いられる。ここで、誤りが検出されたときにはステップST2に戻り、再度新たなファームウェアの転送が行われる。誤りが検出されないときには、ステップST4に進みフラッシュメモリ40のファームウェアの更新が行われる。

【0023】ここで、フラッシュメモリの内容の書き換え動作では、データの消去は位置を指定して行われるものでなくまとめて消去されるものであり、効率よく書き換え動作を行うためにはデータをまとめて処理することが望ましい。このため、新たなファームウェアを全てスタティックRAM50の領域bに蓄えてからフラッシュメモリ40のファームウェアの更新するものとするれば、効率よくフラッシュメモリ40のファームウェアを書き換えることができる。

【0024】ステップST4では、スタティックRAM50の領域bに記憶された新たなファームウェアがバス30を介してフラッシュメモリ40にコピーされて、フラッシュメモリ40のファームウェアの更新が行われる。

【0025】このとき、フラッシュメモリ40は、通常動作から切り離されているため、CPU20の動作の空

き時間を利用してファームウェアの更新を行うことにより、データ処理動作を中断させたり遅らせることなくフラッシュメモリ40のファームウェアを更新することができる。

【0026】フラッシュメモリ40のファームウェアの更新が終了したときにはステップST5に進み、スタティックRAM50の領域bのファームウェアとフラッシュメモリ40のファームウェアが照合されて、フラッシュメモリ40のファームウェアの更新が正しく行われたか否かが確認される。ここで、スタティックRAM50の領域bのファームウェアとフラッシュメモリ40のファームウェアが一致しないときにはステップST4に戻り、スタティックRAM50の領域bに記憶された新たなファームウェアがバス30を介してフラッシュメモリ40にコピーされる。また、スタティックRAM50の領域bのファームウェアとフラッシュメモリ40のファームウェアが一致するときにはファームウェアの更新処理が終了される。

【0027】フラッシュメモリ40のファームウェアの更新が完了したときには、データ処理装置10を再起動させることにより、フラッシュメモリ40に記憶された新たなファームウェアがスタティックRAM50の領域aにコピーされる。このため、データ処理装置10は、スタティックRAM50に記憶された新たなファームウェアに基づいてデータ処理動作が開始される。なお、データ処理装置10の再起動は、例えばオペレータの操作によって行われる。

【0028】このように上述の実施の形態によれば、データ処理装置10の動作を停止しなくとも、フラッシュメモリ40に記憶されているファームウェアの更新を行うことができる。また、スタティックRAM50の領域bに新たなファームウェアが供給されたときには、このファームウェアに誤りがないことが確認されてからフラッシュメモリ40のファームウェアの更新が行われると共に、更新されたフラッシュメモリ40のファームウェアとスタティックRAM50の領域bのファームウェアが照合されて正しく更新されているか確認されるので、ファームウェアの更新が不完全に行われてしまうことを防止できる。

【0029】さらに、フラッシュメモリ40のファームウェアの更新は、CPU20の動作の空き時間を利用して行われるので、データ処理等の処理速度が遅くなってしまうことも防止できる。

【0030】

【発明の効果】この発明によれば、動作期間中に新たな動作制御情報が第2のメモリ手段の第2の領域に供給されて、例えば制御手段の空き時間を利用して、第1のメモリ手段の動作制御情報が第2のメモリ手段の第2の領域の動作制御情報に更新される。このため、データ処理装置の動作を停止しなくとも第1のメモリ手段の動作制

御情報を更新することができると共に、動作制御情報の更新によってデータ処理等の処理速度が遅くなることも防止できる。

【0031】また、第2のメモリ手段の第2の領域に記憶された新たな動作制御情報が正しいものと判別されてから、この新たな動作制御情報を用いて第1のメモリ手段に記憶されている動作制御情報の更新が行われると共に、更新された動作制御情報と第2のメモリ手段の第2の領域に記憶されている新たな動作制御情報が照合されて更新が正しく行われたことが確認される。このため、動作制御情報の更新が不完全に行われてしまうことを防止することができ、データ処理装置を新たな動作制御情

報に基づいて正しく動作させることができる。

【図面の簡単な説明】

【図1】この発明に係るデータ処理装置の実施の一形態の構成を示す図である。

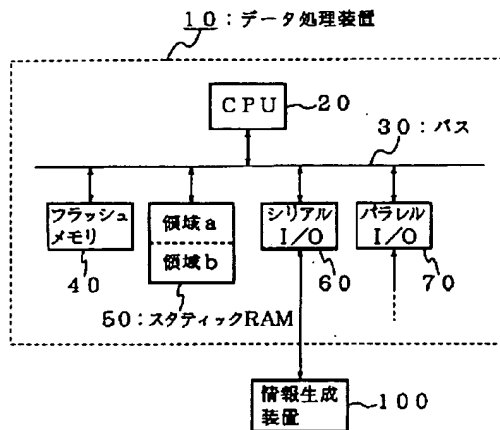
【図2】ファームウェアの更新方法を示すフローチャートである。

【符号の説明】

10・・・データ処理装置、20・・・CPU、30・・・バス、40・・・フラッシュメモリ、50・・・スタティックRAM、60・・・シリアルI/O、70・・・パラレルI/O、100・・・情報生成装置

【図1】

データ処理装置の構成



【図2】

ファームウェアの更新動作

